

日 本 国 特 許 庁
JAPAN PATENT OFFICE

10.09.03

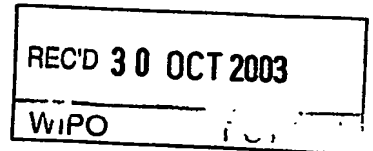
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2002年 9月18日

出 願 番 号
Application Number: 特願2002-271707
[ST. 10/C]: [JP2002-271707]

出 願 人
Applicant(s): ソニー株式会社



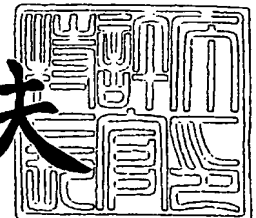
PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

Best Available Copy

2003年10月17日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 0290622403

【提出日】 平成14年 9月18日

【あて先】 特許庁長官 殿

【国際特許分類】 H03F 3/00

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 大谷 晃一

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 佐久間 剛

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 安藤 国威

【連絡先】 知的財産センター 03-5448-2137

【手数料の表示】

【予納台帳番号】 005094

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 可変利得増幅器

【特許請求の範囲】

【請求項 1】 それぞれが入力信号がゲートに印加される第 1 の F E T と該第 1 の F E T のドレインにソースが接続される第 2 の F E T とから成り、互いに前記第 1 の F E T のソースが共通に接続されるとともに前記第 2 の F E T のドレインが共通に接続される複数のデュアルゲート型 F E T と、

それぞれの前記第 2 の F E T のゲートに接続されて互いに別個にゲート電圧を印加し得る複数の電圧制御手段とを有して構成されることを特徴とする可変利得増幅器。

【請求項 2】 それぞれが入力信号がゲートに印加される F E T と該 F E T のドレインにエミッタが接続されるバイポーラトランジスタとから成り、互いに前記 F E T のソースが共通に接続されるとともに前記バイポーラトランジスタのコレクタが共通に接続される複数の可変利得増幅素子と、

それぞれの前記バイポーラトランジスタのベースに接続されて互いに別個にベース電圧を印加し得る複数の電圧制御手段とを有して構成されることを特徴とする可変利得増幅器。

【請求項 3】 入力信号が印加されるそれぞれの F E T の電気的特性が略同一であることを特徴とする請求項 1 または請求項 2 に記載の可変利得増幅器。

【請求項 4】 入力信号が印加される少なくとも 1 つの F E T の電気的特性が入力信号が印加される他の 1 または複数の F E T の電気的特性と異なることを特徴とする請求項 1 または請求項 2 に記載の可変利得増幅器。

【請求項 5】 信号入力部と信号出力部とを接続する電圧帰還路を有することを特徴とする請求項 1 または請求項 2 に記載の可変利得増幅器。

【請求項 6】 それぞれが入力信号がゲートに印加される第 1 の F E T と該第 1 の F E T のドレインにソースが接続される第 2 の F E T とから成り、互いに前記第 1 の F E T のソースが共通に接続されるとともに前記第 2 の F E T のドレインが共通に接続される複数の第 1 のデュアルゲート型 F E T と、

それぞれが反転入力信号がゲートに印加される第 3 の F E T と該第 3 の F E T

のドレインにソースが接続される第4のFETとから成り、互いに前記第3のFETのソースが共通に接続されるとともに前記第4のFETのドレインが共通に接続される複数の第2のデュアルゲート型FETと、

それぞれ対応する前記第2のFETのゲートおよび前記第4のFETのゲートに接続されて互いに別個にゲート電圧を印加し得る複数の電圧制御手段とを有して構成され、

前記第1のデュアルゲート型FETの個数と、前記第2のデュアルゲート型FETの個数と、前記電圧制御手段の個数とが等しいことを特徴とする可変利得増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、例えばケーブルモデムのチューナ部において使用される可変利得増幅器に係り、特に利得減衰時の歪み特性（IIP3）を改善することができる可変利得増幅器に関する。

【0002】

【従来の技術】

近年、インターネット接続機器のブロードバンド化に対する要望が高まるに応じて、CATV経由でのインターネット接続を可能とする種々のケーブルモデムが提供されるようになってきている。他の電子機器と同様にケーブルモデム機器についても小型化が要望されているが、ケーブルモデム機器を小型化するためには、必然的にケーブルモデム機器に内蔵されるチューナを小型化する必要がある。旧来、このようなチューナはディスクリート部品から構成されていることで小型化には限界があったが、近年では回路の集積化が進んで大幅な小型化が実現できるようになっている。

【0003】

このようなチューナに係るICは、多くの場合ダブルスーパー方式と称する構成を採用している。図8は、ダブルスーパー方式によるチューナの構成を示すブロック図である。図8において、101はアンテナ、102はCATV信号を増

幅する可変利得増幅器、103は制御電圧に応じた周波数で局部発振する第1の電圧制御発振器、104は可変利得増幅器102から出力されるCATV信号と電圧制御発振器103からの出力信号とを乗算処理することで周波数変換を実施して両信号の周波数の差に相当する周波数を有する第1の中間周波信号を出力する第1の周波数混合器、105は所定の帯域の信号のみを通過させることにより所望のチャンネルの中間周波信号を取り出すことで選局動作を実施する帯域通過フィルタ、106は制御電圧に応じた周波数で局部発振する第2の電圧制御発振器、107は帯域通過フィルタ105から出力される第1の中間周波信号と電圧制御発振器106からの出力信号とを乗算処理することで周波数変換を実施して両信号の周波数の差に相当する周波数を有する第2の中間周波信号を出力する第2の周波数混合器、108は周波数混合器107から出力される第2の中間周波信号を増幅してチューナ出力信号として出力する中間周波信号増幅器である。

【0004】

次に、上記チューナに係る動作並びに特性について簡単に説明する。アンテナ101から入力した例えば100MHzの周波数を有するCATV信号は、可変利得増幅器102で増幅されて、周波数混合器104へ送られる。周波数混合器104は、CATV信号と、電圧制御発振器103から出力される例えば1300MHzの周波数を有する局部発振信号とを入力して、周波数変換を実施して1200MHzの第1の中間周波信号を出力する。帯域通過フィルタ105は、1200MHz近傍の周波数の信号を通過させることで、所望のチャンネルに係る第1の中間周波信号を取り出す。周波数混合器107は、1200MHzの第1の中間周波信号と、電圧制御発振器106から出力される例えば1156MHzの周波数を有する局部発振信号とを入力して、周波数変換を実施して44MHzの第2の中間周波信号を出力する。中間周波信号増幅器108は、入力する第2の中間周波信号を増幅して、チューナ出力信号として出力する。なお、CATV信号、第1の中間周波信号、第2の中間周波信号等に係る上記の周波数は、それぞれCATVシステムのチューナにおいて実際にとり得る周波数の一例として与えるものである。

【0005】

上記のような周波数変換を実行するチューナでは、入力信号レベルは $-70 \sim -30$ dBmである。また、最大で130波の信号が入力されるために、初段の可変利得増幅器102については、利得で10 dB、雑音指数で6 dB、最大減衰量で40 dB、利得最大時の3次Input Intercept Point（以下、IIP3と称する）で $+15$ dBm、利得減衰時（ -15 dB）のIIP3で $+30$ dBm程度の特徴が必要となる。すなわち、利得が小さくなるほど歪みについて厳しい要件が課されることになる。

【0006】

このような要件を課される可変利得増幅器は、バイポーラトランジスタやデュアルゲート型電界効果トランジスタ（以下、デュアルゲート型FET(Field Effect Transistor)と称する）から構成される。ここでは、デュアルゲート型FETを例にとり、その動作を説明する。図9は、デュアルゲート型FETを用いた可変利得増幅器の構成を示す回路図である。図9において、111は第1のFET、112は第1のFETにカスケード接続される第2のFET、113は電圧源、114は接地部、115は信号入力端子、116はFET111のゲートG1に接続されて入力信号に対して適切なバイアス電圧を印加するために設けられる抵抗、117は同じく適切なバイアス電圧を印加するために設けられる電圧源、118はFET112のゲートG2に接続される可変電圧源、119は出力信号を取り出すための負荷抵抗、120は信号出力端子である。なお、電圧源117については、例えば電圧源113の電源電圧を抵抗分割すること等により生成することが可能である。

【0007】

上記のような構成を有するデュアルゲート型FETでは、入力信号をFET111のゲートG1に印加して、出力信号をFET112のドレインから取り出す。この際、FET112のゲートG2に印加する電圧を変化させることで、利得制御を実施する。例えば、FET112のゲート電圧を下げると、FET112のソース電圧が下がり、FET111のドレイン-ソース間電圧 V_{ds} が小さくなる。ドレイン-ソース間電圧 V_{ds} が小さくなるほど、FET111の相互コンダクタンス g_m が小さくなり、この結果利得が低下する。逆に、FET112

のゲート電圧を上げると、利得が増加する。なお、利得制御用のFET112に代えて、NPNトランジスタを用いても、可変利得増幅器として同様に動作させることが可能である。また、上記のようにデュアルゲート型FETを用いて可変利得増幅器を構成する技術については、例えば特許文献1において記載が為されている。

【0008】

【特許文献1】

特開2002-176371号公報（段落0010、第1図）

【0009】

【発明が解決しようとする課題】

ここで、図9に示されたデュアルゲート型FETから成る可変利得増幅器について、利得、雑音等に係る特性に関して説明する。図10は、集積回路（IC）上に形成されたFETの概略構成を示す平面図である。図10において、 L_g はゲート長を示し、 W_g はゲート幅を示す。図11は、ゲート幅と利得および雑音指数との関係を示すグラフである。図11において、 PG は利得を示し、 NF は雑音指数を示す。図12は、利得減衰量と $IIP3$ との関係を示すグラフである。図12において、利得減衰量と $IIP3$ との関係は、ゲート幅をパラメータとしてそれぞれ別個に示される。図11および図12から分かるように、ゲート幅 W_g が大きくなるほど、利得 PG が増加するとともに雑音指数 NF が低下することで雑音特性は向上するが、 $IIP3$ として与えられる歪み特性は悪化する。すなわち、利得最大時における PG 並びに NF に係る特性に対する要件を充足させるためには、 $W_g = 20$ (μm) のFETを使用する必要があるが、この場合利得減衰時における $IIP3$ に係る特性に対する要件を充足させることができない。また、利得減衰時における $IIP3$ に係る特性に対する要件を充足させるためには、 $W_g = 5$ (μm) のFETを使用する必要があるが、この場合 PG 並びに NF に係る特性が悪化する。このように、 PG および NF に係る特性向上と $IIP3$ に係る特性向上とはトレード・オフの関係にあり、 PG および NF に係る特性に対する要件と $IIP3$ に係る特性に対する要件とを共に充足する可変利得増幅器を得ることが困難であるという課題があった。

【0010】

この発明は上記のような課題を解決するためになされたもので、利得最大時の利得 P G 並びに雑音指数 N F に係る特性を悪化させることなく、利得減衰時の歪み特性 I I P 3 を改善することができる可変利得増幅器を得ることを目的とする。

【0011】

【課題を解決するための手段】

この発明に係る可変利得増幅器は、それぞれが入力信号がゲートに印加される第 1 の F E T と第 1 の F E T のドレインにソースが接続される第 2 の F E T とから成り、互いに第 1 の F E T のソースが共通に接続されるとともに第 2 の F E T のドレインが共通に接続される複数のデュアルゲート型 F E T と、それぞれの第 2 の F E T のゲートに接続されて互いに別個にゲート電圧を印加し得る複数の電圧制御手段とを有して構成されるようにしたものである。

【0012】

この発明に係る可変利得増幅器は、それぞれが入力信号がゲートに印加される F E T と F E T のドレインにエミッタが接続されるバイポーラトランジスタとから成り、互いに F E T のソースが共通に接続されるとともにバイポーラトランジスタのコレクタが共通に接続される複数の可変利得増幅素子と、それぞれのバイポーラトランジスタのベースに接続されて互いに別個にベース電圧を印加し得る複数の電圧制御手段とを有して構成されるようにしたものである。

【0013】

この発明に係る可変利得増幅器は、入力信号が印加されるそれぞれの F E T の電気的特性が略同一であるようにしたものである。

【0014】

この発明に係る可変利得増幅器は、入力信号が印加される少なくとも 1 つの F E T の電気的特性が入力信号が印加される他の 1 または複数の F E T の電気的特性と異なるようにしたものである。

【0015】

この発明に係る可変利得増幅器は、信号入力部と信号出力部とを接続する電圧

帰還路を有するようにしたものである。

【0016】

この発明に係る可変利得増幅器は、それぞれが入力信号がゲートに印加される第1のFETと第1のFETのドレインにソースが接続される第2のFETとから成り、互いに第1のFETのソースが共通に接続されるとともに第2のFETのドレインが共通に接続される複数の第1のデュアルゲート型FETと、それぞれが反転入力信号がゲートに印加される第3のFETと第3のFETのドレインにソースが接続される第4のFETとから成り、互いに第3のFETのソースが共通に接続されるとともに第4のFETのドレインが共通に接続される複数の第2のデュアルゲート型FETと、それぞれ対応する第2のFETのゲートおよび第4のFETのゲートに接続されて互いに別個にゲート電圧を印加し得る複数の電圧制御手段とを有して構成され、第1のデュアルゲート型FETの個数と、第2のデュアルゲート型FETの個数と、電圧制御手段の個数とが等しいようにしたものである。

【0017】

【発明の実施の形態】

以下、添付の図面を参照して本願発明に係る実施の形態について説明する。なお、本願発明の実施の形態に記載された実施例を構成する各要素と、特許請求の範囲に記載された発明を構成する各要素との対応関係を明らかにするために、本願発明の実施の形態に係る以下の説明文中において、実施例の各要素に対応する特許請求の範囲に記載された発明の各要素を、それぞれ実施例の各要素に続けて適宜かっこ書きにより示すものとする。

【0018】

実施の形態1.

図1は、この発明の実施の形態1による可変利得増幅器の構成を示す回路図である。図1において、1は電圧源、2は接地部、3は信号入力端子（信号入力部）、4は信号入力端子3に接続されて入力信号に対して適切なバイアス電圧を印加するために設けられる抵抗、5は同じく適切なバイアス電圧を印加するために設けられる電圧源、6はゲートが信号入力端子3に接続されソースが接地部2に

接続される FET (第 1 の FET)、7 はソースが FET 6 のドレインに接続される FET (第 2 の FET)、8 はゲートが信号入力端子 3 に接続されソースが接地部 2 に接続される FET (第 1 の FET)、9 はソースが FET 8 のドレインに接続される FET (第 2 の FET)、10 は出力信号を取り出すために一方の端部が FET 7 のドレインと FET 9 のドレインとに共通に接続されるとともに他方の端部が電圧源 1 に接続される負荷抵抗、11 は可変電圧源、12 は FET 7 のゲート、FET 9 のゲートおよび可変電圧源 11 に接続されて FET 7 のゲートに印加する電圧と FET 9 のゲートに印加する電圧とをそれぞれ独立に制御することを可能とする制御電圧発生回路、13 は FET 7 のドレインおよび FET 9 のドレインに接続される信号出力端子 (信号出力部) である。ここで、可変電圧源 11 と制御電圧発生回路 12 とにより FET 7 のゲートに印加する電圧を制御する第 1 の電圧制御手段が構成され、また同じく可変電圧源 11 と制御電圧発生回路 12 とにより FET 9 のゲートに印加する電圧を第 1 の電圧制御手段とは独立に制御する第 2 の電圧制御手段が構成される。なお、この実施の形態においては、FET 6 のゲート幅と FET 8 のゲート幅とは、共に等しく $10 (\mu\text{m})$ とする。

【0019】

次に、動作について説明する。

ここで、可変電圧源 11 の電圧を V_{agc} 、FET 7 のゲートに印加するゲート制御電圧を V_{cn1} 、FET 9 のゲートに印加するゲート制御電圧を V_{cn2} とする。まず、図 1 に示される可変利得増幅器について、ゲート制御電圧 V_{cn1} とゲート制御電圧 V_{cn2} とを同じ電圧として利得制御する場合について考察する。同じ電気的特性を有する FET を並列に接続すると、全体としてゲート幅を 2 倍にした FET と同等の電気的特性を有することから、上記のように同じ電圧で制御する場合には、IIP3 特性については、図 12 に示される $W_g = 20 (\mu\text{m})$ に係る曲線に示されるような特性を得ることになる。また、PG 特性および NF 特性についても、全体として $W_g = 20 (\mu\text{m})$ として与えられる特性と略同一の特性を得ることになる。すなわち、 $PG = 10 \text{ dB}$ 、 $NF = 6 \text{ dB}$ 、 $IIP3 = 19 \text{ dBm}$ (利得最大時)、 $IIP3 = 25 \text{ dBm}$ (利得 1

5 dB減衰時)となる。

【0020】

次に、ゲート制御電圧 V_{con1} とゲート制御電圧 V_{con2} とを独立に (別個に) 制御して利得制御する場合について考察する。図2は、ゲート制御電圧の制御方式の一例を示す図である。また、図3は絶対利得と $IIP3$ との関係を示すグラフである。なお、図3は、 $IIP3$ 特性について横軸の変数を利得減衰量から絶対利得に代えることで、図12に示されるグラフを変形することで与えられる。図2に示されるようにゲート制御電圧 V_{con1} およびゲート制御電圧 V_{con2} を制御すると、利得最大時にはFET7とFET9とには共に最大のゲート電圧が印加されるので、 $Wg = 20$ (μm) として与えられる特性と略同一の特性を全体として得ることができるから、 $PG = 10$ dB、 $NF = 6$ dB、 $IIP3 = 19$ dBmとなる。また、15 dB利得減衰時には $V_{con2} = 0$ 、すなわちFET9に印加されるゲート電圧がゼロとなってFET8およびFET9から成るデュアルゲート型FETはOFF状態となる。これにより、 $IIP3$ 特性については、図3において、 $Wg = 10$ (μm) として与えられる曲線の絶対利得-5 dBに対応する $IIP3$ 値である31 dBmを得ることができる。すなわち、利得最大時におけるPG特性並びにNF特性については $Wg = 20$ (μm) として与えられる特性を得ることができるとともに、利得減衰時における $IIP3$ 特性については $Wg = 10$ (μm) として与えられる特性を得ることができる。

【0021】

以上のように、この実施の形態1によれば、入力信号が印加されるFET6とFET6にカスケード接続されるFET7とから成るデュアルゲート型FETと、入力信号が印加されるFET8とFET8にカスケード接続されるFET9とから成るデュアルゲート型FETと、FET7のゲートに印加するゲート制御電圧 V_{con1} を制御する第1の電圧制御手段と、FET9のゲートに印加するゲート制御電圧 V_{con2} を第1の電圧制御手段と独立に制御する第2の電圧制御手段とを有して構成され、FET6のソースとFET8のソースとを共通に接続するとともに、FET7のドレインとFET9のドレインとを共通に接続して出

力信号を取り出すようにしたので、第1の電圧制御手段および第2の電圧制御手段によりゲート制御電圧 V_{con1} およびゲート制御電圧 V_{con2} を適宜制御することで、利得最大時におけるPG特性並びにNF特性に対する要件を充足するとともに利得減衰時におけるIPP3特性に対する要件を充足することができるという効果を奏する。

【0022】

なお、上記実施の形態1では、並列に接続するデュアルゲート型FETの個数を2としているが、3以上のデュアルゲート型FETを並列に接続することで全体として可変利得増幅器を成す構成を採ることも可能である。この場合、それぞれのデュアルゲート型FETにおいて、上記のFET7およびFET9と同様に第2のFETとして与えられるFETのそれぞれのゲートに接続される電圧制御手段を別個に制御して適切な組み合わせのゲート制御電圧を印加することにより、可変利得増幅器の特性をより改善することが可能となる。

【0023】

また、上記実施の形態1では、図2に示されるように、ゲート制御電圧 V_{con1} の電圧変化範囲とゲート制御電圧 V_{con2} の電圧変化範囲とを離隔するようにそれぞれのゲート制御電圧を制御している。すなわち、ゲート制御電圧 V_{con1} が最大値となった後にゲート制御電圧 V_{con2} を増加させるか、あるいはゲート制御電圧 V_{con2} がゼロとなった後にゲート制御電圧 V_{con1} を減少させるといった制御方式が採られている。然るに、本願発明による可変利得増幅器に係るゲート電圧制御方式は上記のような方式に限定されるものではなく、ゲート制御電圧 V_{con1} の電圧変化範囲とゲート制御電圧 V_{con2} の電圧変化範囲とが重なるようにそれぞれのゲート制御電圧を制御するようにしてもよい。図4は、ゲート制御電圧の制御方式の他の例を示す図である。図4に示されるようにゲート制御電圧 V_{con1} の変化とゲート制御電圧 V_{con2} の変化との間にある程度の遅延を持たせれば、実施の形態1と同様に、利得最大時の利得PG並びに雑音指数NFに係る特性を悪化させることなく、利得減衰時の歪み特性IPP3を改善できるという効果を奏し得るものである。さらに、上記のように電圧変化範囲に重なりがある場合には、可変電圧源11の電圧値 V_{agc} と利得

減衰量との間にある程度の線形的な関係を持たせることができ、利得制御を容易にするとともに、約 2 dB 利得減衰時における IIP3 の劣化を緩和できる等の効果を奏する。

【0024】

また、上記実施の形態 1 では、FET6 と FET8 とについて、ゲート長やゲート幅等を同一にすることで同じ電気的特性を有するものとしているが、FET6 と FET8 とが異なる電気的特性を有する構成を採ることも可能である。例えば、ゲート長 L_g およびゲート幅 W_g を適宜変更して、FET6 と FET8 とを異なる形状とすることにより、利得減衰時における IIP3 をより改善することも可能である。さらに、上記実施の形態 1 では、ゲート制御電圧 V_{con1} を制御する第 1 の電圧制御手段とゲート制御電圧 V_{con2} を制御する第 2 の電圧制御手段とを独立に動作可能とする構成としているが、上記の作用効果を奏する範囲内において電圧制御手段間にある程度の従属性を持たせることも可能である。このように電圧制御手段間に従属性を持たせれば、制御パラメータを減らすことができ、全体の構成を簡略化することも可能となる。

【0025】

次に、この実施の形態 1 の変形例について説明する。

図 5 は、この発明の実施の形態 1 の変形例による可変利得増幅器の構成を示す回路図である。図 5 において、図 1 と同一符号は同一または相当部分を示すので、その説明を省略する。21 は FET6 のドレインにエミッタが接続される NPN トランジスタ（バイポーラトランジスタ）、22 は FET8 のドレインにエミッタが接続される NPN トランジスタ（バイポーラトランジスタ）、23 は NPN トランジスタ 21 のベースに接続されて当該ベースに印加する電圧 V_{con1} を制御する可変電圧源（電圧制御手段）、24 は NPN トランジスタ 22 のベースに接続されて当該ベースに印加する電圧 V_{con2} を制御する可変電圧源（電圧制御手段）である。なお、図 1 に示される可変利得増幅器と同様に、NPN トランジスタ 21 のコレクタと NPN トランジスタ 22 のコレクタとは共通に接続される。また、カスケード接続される FET6 と NPN トランジスタ 21、並びに同様にカスケード接続される FET8 と NPN トランジスタ 22 とから、それ

ぞれ特許請求の範囲に記載された可変利得増幅素子が構成されるものとする。この可変利得増幅素子は、図1に示された可変利得増幅器におけるデュアルゲート型FETに相当するものである。なお、図5に示される可変利得増幅器の回路動作については、図1に示された可変利得増幅器と同様であるので、その説明を省略する。このように、入力信号が印加されるFETにバイポーラトランジスタをカスケード接続することで、FETのドレインからみたインピーダンスが小さくなり、交流信号によって生じるFETのドレイン－ソース間電圧 V_{ds} の変動が小さくなるから、出力信号に係る歪み特性を改善することができるという効果を奏する。

【0026】

実施の形態2.

図6は、この発明の実施の形態2による可変利得増幅器の構成を示す回路図である。図6において、図1と同一符号は同一または相当部分を示すので、その説明を省略する。31はFET7のゲートに接続されて当該ゲートに印加する電圧 V_{con1} を制御する可変電圧源（電圧制御手段）、32はFET9のゲートに接続されて当該ゲートに印加する電圧 V_{con2} を制御する可変電圧源（電圧制御手段）、33は信号出力端子13と信号入力端子3との間に介装される抵抗、34は信号入力端子3と接地部2との間に介装される抵抗である。このように、信号出力端子13と信号入力端子3とを抵抗33を介して接続して電圧帰還路を設けることにより、電圧帰還型のゲートバイアスを掛けることができるので、FET間の製造バラツキに起因するドレイン電流の変動を抑制して回路動作を安定化させることができるという効果を奏する。

【0027】

実施の形態3.

図7は、この発明の実施の形態3による可変利得増幅器の構成を示す回路図である。図7において、41は電圧源、42は接地部、43は第1の信号入力端子、44は信号入力端子43に入力される信号の反転信号が入力される第2の信号入力端子、45は信号入力端子43に接続されて入力信号に対して適切なバイアス電圧を印加するために設けられる抵抗、46は信号入力端子44に接続されて

反転入力信号に対して適切なバイアス電圧を印加するために設けられる抵抗、47は抵抗45および抵抗46に接続されて同じく適切なバイアス電圧を印加するために設けられる電圧源、48はゲートが信号入力端子43に接続されソースが接地部42に接続されるFET（第1のFET）、49はソースがFET48のドレインに接続されるFET（第2のFET）、50はゲートが信号入力端子43に接続されソースが接地部42に接続されるFET（第1のFET）、51はソースがFET50のドレインに接続されるFET（第2のFET）、52は出力信号を取り出すために一方の端部がFET49のドレインとFET51のドレインとに共通に接続されるとともに他方の端部が電圧源41に接続される負荷抵抗、53はFET49のドレインおよびFET51のドレインに接続される信号出力端子、54はゲートが信号入力端子44に接続されソースが接地部42に接続されるFET（第3のFET）、55はソースがFET54のドレインに接続されるFET（第4のFET）、56はゲートが信号入力端子44に接続されソースが接地部42に接続されるFET（第3のFET）、57はソースがFET56のドレインに接続されるFET（第4のFET）、58は反転出力信号を取り出すために一方の端部がFET55のドレインとFET57のドレインとに共通に接続されるとともに他方の端部が電圧源41に接続される負荷抵抗、59はFET55のドレインおよびFET57のドレインに接続される信号出力端子、60はFET49のゲートおよびFET55のゲートに接続されてこれらゲートに印加する電圧 V_{con1} を制御する第1の可変電圧源（電圧制御手段）、61はFET51のゲートおよびFET57のゲートに接続されてこれらゲートに印加する電圧 V_{con2} を制御する第2の可変電圧源（電圧制御手段）である。

【0028】

ここで、例えばFET48として与えられる第1のFETと、FET48にカスケード接続されるFET49として与えられる第2のFETとから入力信号を増幅するための可変利得増幅素子として与えられる第1のデュアルゲート型FETが構成される。また、例えばFET54として与えられる第3のFETと、FET54にカスケード接続されるFET55として与えられる第4のFETとから反転入力信号を増幅するための可変利得増幅素子として与えられる第2のデュ

アルゲート型 FET が構成される。図 7 の回路図から明らかなように、入出力信号の平衡性を担保するために、第 1 のデュアルゲート型 FET の個数と、第 2 のデュアルゲート型 FET の個数とは同数となる。さらに、可変電圧源 60, 61 として与えられる電圧制御手段は第 1 および第 2 のデュアルゲート型 FET と同数だけ設けられ、それぞれの電圧制御手段は例えば FET 49 と FET 55 とのように対応付けられる第 2 の FET と第 4 の FET とに同一のゲート制御電圧を印加する。さらに、入出力信号の平衡性を担保するためには、ゲートに入力信号が印加される FET 48、FET 50、FET 54 および FET 56 が略同一の電気的特性を有するとともに、ゲートに制御電圧が印加される FET 49、FET 51、FET 55 および FET 57 も略同一の電気的特性を有するように構成するのが好適である。

【0029】

上記のように構成することで、FET 48, 49, 50, 51、可変電圧源 60, 61 等から構成される入力信号に対する可変利得増幅器と、FET 54, 55, 56, 57、可変電圧源 60, 61 等から構成される反転入力信号に対する可変利得増幅器とについて、利得制御範囲にわたって同一の利得を得ることができるので、平衡型の信号入出力が可能となり、2 次歪みを改善することができるとともに、同相雑音をキャンセルすることができるという効果を奏する。

【0030】

なお、上記の実施の形態 1 から実施の形態 3 により説明される可変利得増幅器は、本願発明を限定するものではなく、例示することを意図して開示されているものである。本願発明の技術的範囲は特許請求の範囲の記載により定められるものであり、特許請求の範囲に記載された技術的範囲内において種々の設計の変更が可能である。例えば、上記の実施の形態においては FET として NMOS トランジスタを用いているが、FET として PMOS トランジスタを用いることも勿論可能であり、同様の効果を奏するものである。

【0031】

【発明の効果】

以上のように、この発明によれば、入力信号がゲートに印加される第 1 の FET

Tと第1のFETにカスケード接続された第2のFETとから成るデュアルゲート型FETを複数個並列に接続するとともに、それぞれの第2のFETに対して対応する電圧制御手段から別個に電圧を印加し得るように構成したので、それぞれの電圧制御手段により印加されるゲート制御電圧を適宜制御することで、利得最大時の利得並びに雑音指数に係る特性を悪化させることなく、利得減衰時の歪み特性IIP3を改善することができるという効果を奏する。

【0032】

この発明によれば、入力信号がゲートに印加されるFETと当該FETにカスケード接続されたバイポーラトランジスタとから成る可変利得増幅素子を複数個並列に接続するとともに、それぞれのバイポーラトランジスタに対して対応する電圧制御手段から別個に電圧を印加し得るように構成したので、それぞれの電圧制御手段により印加されるベース制御電圧を適宜制御することで、利得最大時の利得並びに雑音指数に係る特性を悪化させることなく、利得減衰時の歪み特性IIP3を改善することができるという効果を奏する。また、入力信号が印加されるFETにバイポーラトランジスタをカスケード接続することで、FETのドレインから見たインピーダンスが小さくなり、交流信号によって生じるFETのドレインソース間電圧の変動が小さくなるから、出力信号に係る歪み特性を改善することができるという効果を奏する。

【0033】

この発明によれば、入力信号が印加されるそれぞれのFETの電気的特性が略同一となるように構成したので、電圧制御手段から出力される電圧の変化に対するそれぞれのデュアルゲート型FETのPG、NF、IIP3等に係る特性の変化も同一となり、それぞれの電圧制御手段から出力される制御電圧の種々の組み合わせに対する回路特性の同定を簡易に為し得るから、可変利得制御を容易に実施することができるという効果を奏する。

【0034】

この発明によれば、入力信号が印加される少なくとも1つのFETの電気的特性が入力信号が印加される他の1または複数のFETの電気的特性と異なるように構成したので、利得減衰時における歪み特性IIP3をより改善し得るという

効果を奏する。

【0035】

この発明によれば、信号入力部と信号出力部とを接続する電圧帰還路を有するように構成したので、FET間の製造バラツキに起因するドレイン電流の変動を抑制して回路動作を安定化させることができるという効果を奏する。

【0036】

この発明によれば、入力信号がゲートに印加される第1のFETと第1のFETにカスケード接続された第2のFETとから成る第1のデュアルゲート型FETを複数個並列に接続し、反転入力信号がゲートに印加される第3のFETと第3のFETにカスケード接続された第4のFETとから成る第2のデュアルゲート型FETを第1のデュアルゲート型FETと同数である複数個並列に接続し、対応付けられる第2のFETのゲートおよび第4のゲートに対してそれぞれの電圧制御手段から別個に電圧を印加し得るように構成したので、複数の第1のデュアルゲート型FETから構成される入力信号に対する可変利得増幅器と、複数の第2のデュアルゲート型FETから構成される反転入力信号に対する可変利得増幅器とについて、利得制御範囲にわたって同一の利得を得ることができるので、平衡型の信号入出力が可能となり、2次歪みを改善することができるとともに、同相雑音をキャンセルすることができるという効果を奏する。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による可変利得増幅器の構成を示す回路図である。

【図2】 ゲート制御電圧の制御方式の一例を示す図である。

【図3】 絶対利得とIIP3との関係を示す図である。

【図4】 ゲート制御電圧の制御方式の他の例を示す図である。

【図5】 この発明の実施の形態1の変形例による可変利得増幅器の構成を示す回路図である。

【図6】 この発明の実施の形態2による可変利得増幅器の構成を示す回路図である。

【図7】 この発明の実施の形態3による可変利得増幅器の構成を示す回路

図である。

【図 8】 ダブルスーパー方式によるチューナの構成を示すブロック図である。

【図 9】 デュアルゲート型 FET を用いた可変利得増幅器の構成を示す回路図である。

【図 10】 集積回路上に形成された FET の概略構成を示す平面図である。

【図 11】 ゲート幅と利得および雑音指数との関係を示す図である。

【図 12】 利得減衰量と IIP3 との関係を示す図である。

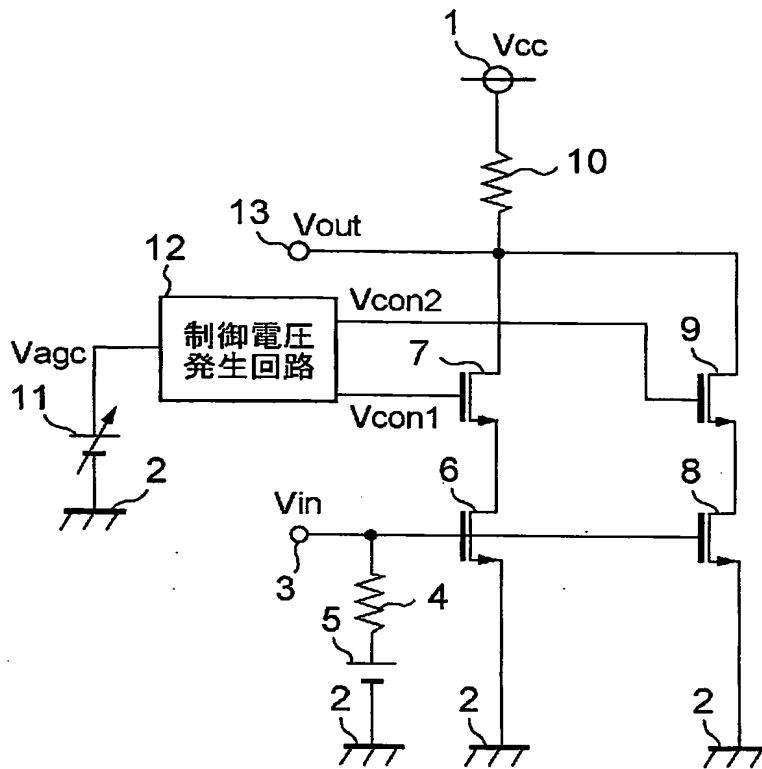
【符号の説明】

1 電圧源、2 接地部、3 信号入力端子（信号入力部）、4 抵抗、5 電圧源、6, 8 FET（第1のFET）、7, 9 FET（第2のFET）、10 負荷抵抗、11 可変電圧源、12 制御電圧発生回路、13 信号出力端子（信号出力部）、21, 22 NPNトランジスタ（バイポーラトランジスタ）、23, 24, 31, 32 可変電圧源（電圧制御手段）、33, 34 抵抗、41 電圧源、42 接地部、43, 44 信号入力端子、45, 46 抵抗、47 電圧源、48, 50 FET（第1のFET）、49, 51 FET（第2のFET）、52, 58 負荷抵抗、53, 59 信号出力端子、54, 56 FET（第3のFET）、55, 57 FET（第4のFET）、60, 61 可変電圧源（電圧制御手段）

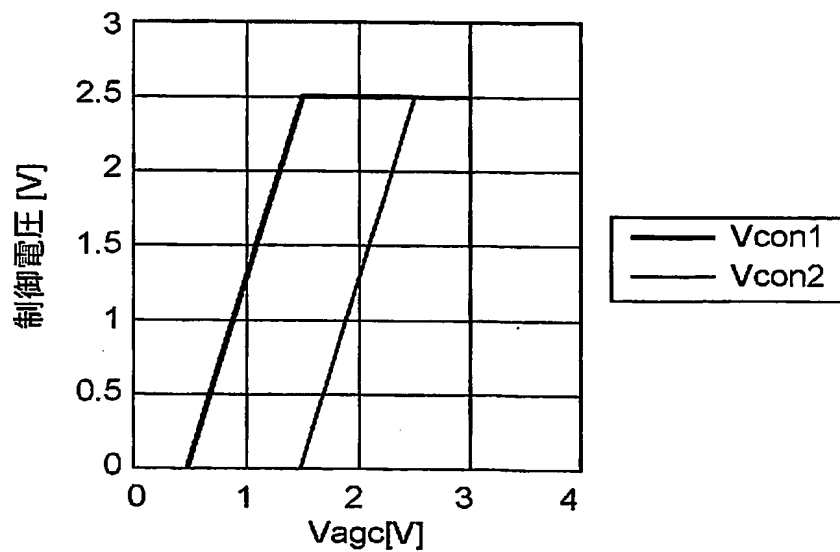
【書類名】

図面

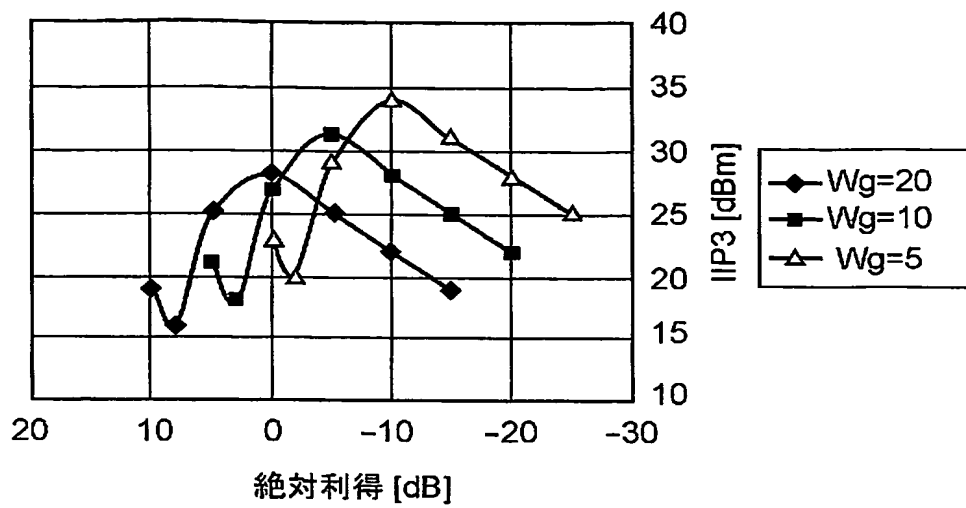
【図 1】



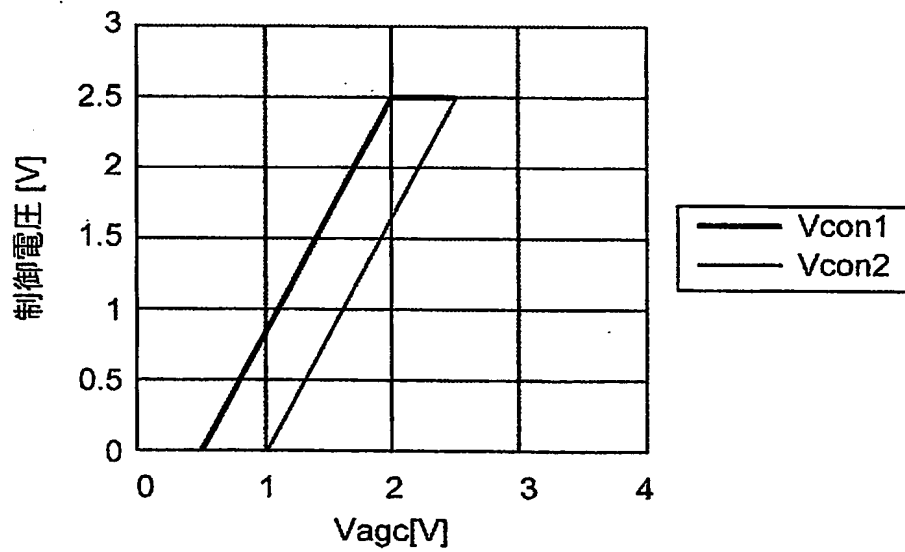
【図 2】



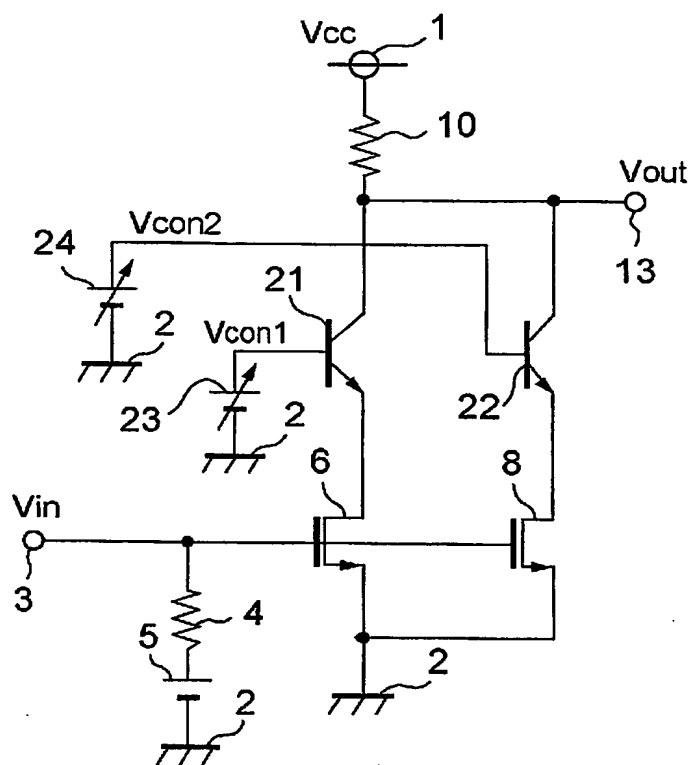
【図 3】



【図 4】

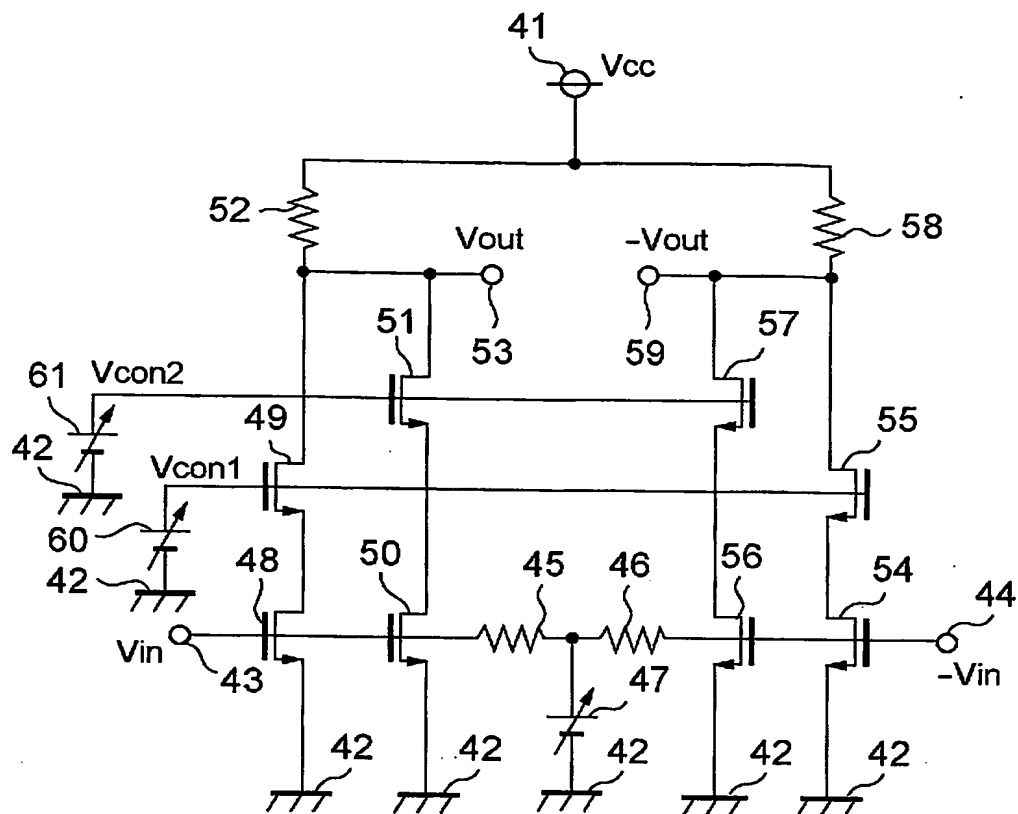


【図 5】

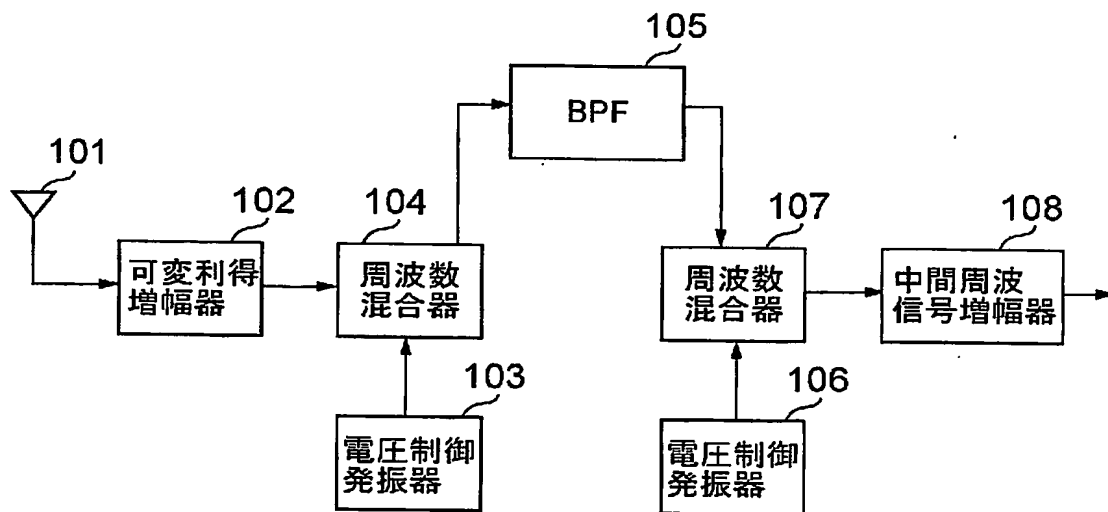


The circuit diagram shows a differential amplifier with a resistor mismatch compensation circuit. The input signal V_{in} is applied to the gates of two NMOS transistors, 6 and 8, through a resistor 34. The gates of PMOS transistors 7 and 9 are connected to a common-mode feedback node, which is also connected to the output V_{out} through a resistor 10. The PMOS transistors 7 and 9 are controlled by a differential-mode feedback circuit consisting of two NMOS transistors, 2 and 31, and two PMOS transistors, 32 and 33. The gates of transistors 2 and 31 are controlled by a differential-mode feedback signal V_{con1} , and the gates of transistors 32 and 33 are controlled by a differential-mode feedback signal V_{con2} . The sources of all NMOS transistors (6, 8, 2, 31) are connected to ground. The sources of PMOS transistors 7 and 9 are connected to the output V_{out} . The output V_{out} is taken from the node between the PMOS transistors 7 and 9 and the resistor 10.

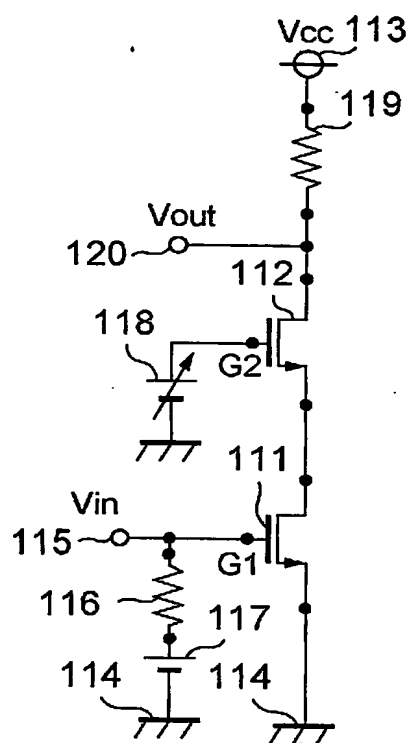
【図 7】



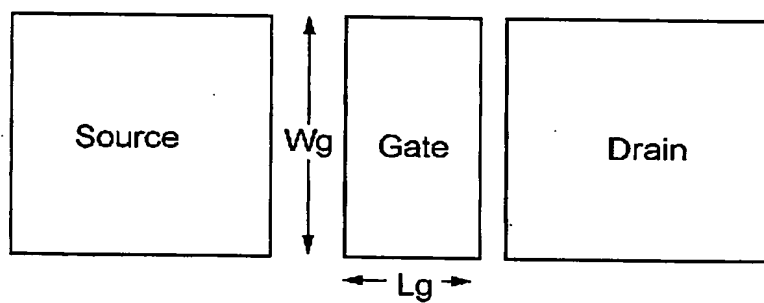
【図 8】



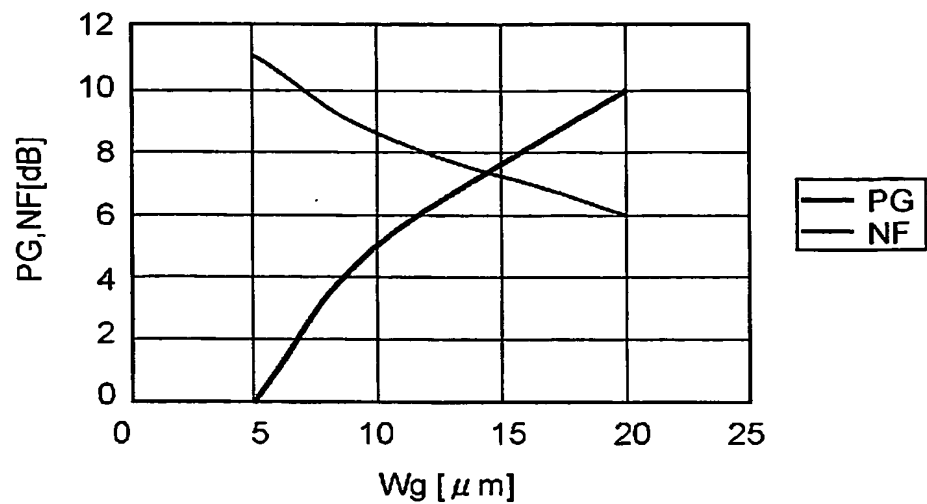
【図 9】



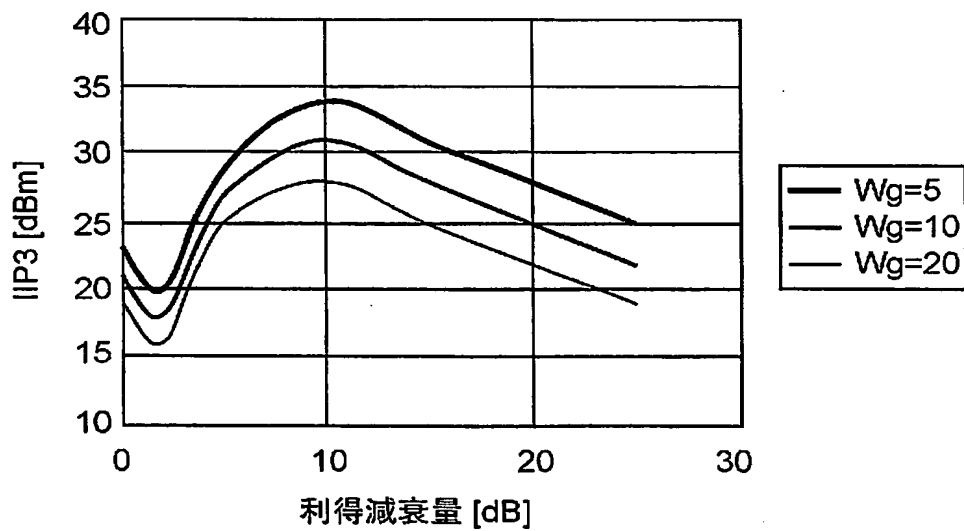
【図 10】



【図 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 従来の可変利得増幅器は、利得最大時における利得 PG 並びに雑音指数 NF に係る特性に対する要件を充足させると、利得減衰時における歪み特性 $IIP3$ が劣化するという課題があった。

【解決手段】 可変利得増幅器において、入力信号がゲートに印加される第1の $FET6(8)$ と第1の $FET6(8)$ にカスケード接続される第2の $FET7(9)$ とから成るデュアルゲート型 FET を複数個並列に接続するとともに、それぞれの第2の $FET7(9)$ に対して電圧制御手段から別個にゲート制御電圧 (V_{con1} , V_{con2}) を印加し得るように構成する。

【選択図】 図1

特願 2 0 0 2 - 2 7 1 7 0 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.